

10/5 273

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 16 日 (16.09.2004)

PCT

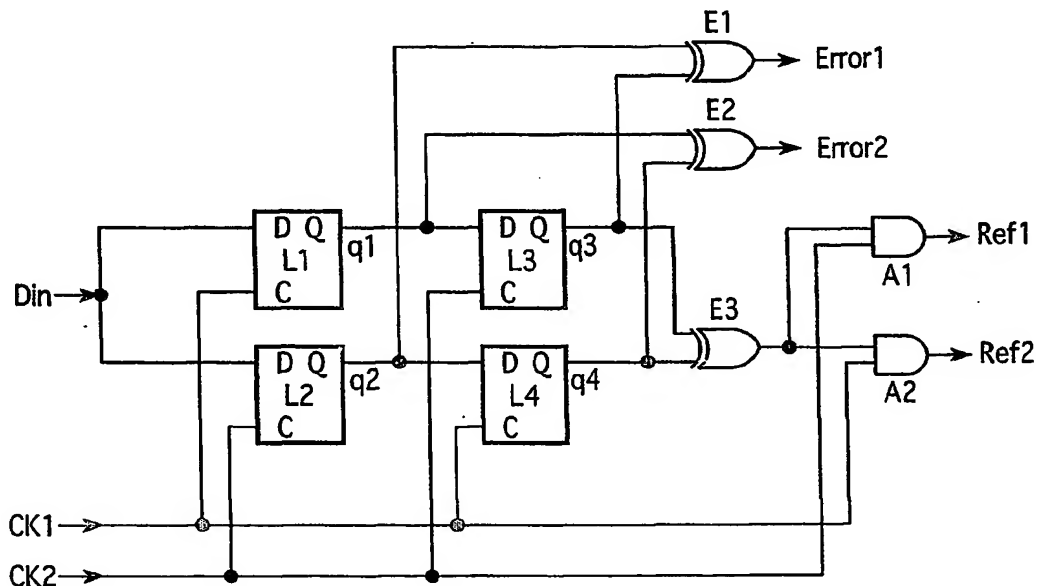
(10) 国際公開番号
WO 2004/079907 A1

- (51) 国際特許分類: H03K 5/26, H04L 7/033, H03L 7/08 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/002714 (75) 発明者/出願人 (米国についてのみ): 大友 祐輔
(22) 国際出願日: 2004 年 3 月 4 日 (04.03.2004) (OTOMO, Yusuke) [JP/JP]; 〒1808585 東京都武蔵野
(25) 国際出願の言語: 日本語 Tokyo (JP). 野河 正史 (NOGAWA, Masafumi) [JP/JP];
(26) 国際公開の言語: 日本語 〒1808585 東京都武蔵野市緑町 3 丁目 9 - 1 1
(30) 優先権データ: (74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒1070052 東京都
特願2003-057261 2003 年 3 月 4 日 (04.03.2003) JP 港区赤坂 2 丁目 6-20 Tokyo (JP).
特願2003-073720 2003 年 3 月 18 日 (18.03.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電
信電話株式会社 (NIPPON TELEGRAPH AND TELE- (81) 指定国 (表示のない限り、全ての種類の国内保護が
PHONE CORPORATION) [JP/JP]; 〒1008116 東京都 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
千代田区大手町 2 丁目 3-1 Tokyo (JP). BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: PHASE COMPARISON CIRCUIT AND CDR CIRCUIT

(54) 発明の名称: 位相比較回路および CDR 回路



(57) Abstract: There is provided a CDR circuit mitigating operation speed of a phase comparison circuit and having a stable clock extraction function and data rectifying function even for a high-speed data signal input. The phase comparison circuit operates by a clock signal having a cycle twice as long as a unit time width of the data signal input. In this phase comparison circuit, a phase error signal pulse width indicating the phase difference between the data signal transient point and the clock signal transient point is prolonged by the unit time width of the data signal.

[続葉有]

WO 2004/079907 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 位相比較回路の動作速度を緩和して、高速なデータ信号入力に対しても安定したクロック抽出機能とデータ整形機能を有するCDR回路を提供する。入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作する位相比較回路において、データ信号の遷移点とクロック信号の遷移点との間の位相差を表す位相誤差信号のパルス幅を、データ信号の単位時間幅だけ伸長する。

明細書

位相比較回路およびCDR回路

5 技術分野

本発明は、データ信号とクロック信号の位相差に応じたパルス幅の位相誤差信号を出力する位相比較回路と、クロック信号とデータ信号の位相同期を行って、データ信号を再生するCDR回路に関する。

10 背景技術

従来、光通信システムにおける受信装置において、受信信号を再生する様々な回路方式が知られている。CDR (Clock and Data Recovery Circuit) 回路は、受信したデータ信号からクロック信号を抽出し、位相比較回路を用いて、クロック信号とデータ信号の位相同期を行って、データ信号を再生するための回路方式である。一方、PLL (Phase Locked Loop Circuit) 回路は、位相周波数比較回路を用いて、電圧制御発信器からのクロック信号を、外部から入力されたクロック信号に同期させるための回路方式である。PLL回路が、クロック信号どうしの周波数比較を行うのに対して、CDR回路は、ランダムなデータ信号とクロック信号との位相比較を行う点で相違する。

20 CDR回路の位相比較回路は、入力のデータ信号D_inと抽出したクロック信号CKの位相差を、位相誤差信号Errorと基準信号Refのパルス幅の差であらわす回路である。従来の位相比較回路の一例として、ハーフレート型線形位相比較回路が、Jafar Savoj and Behzad Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector", IEEE
25 Journal of Solid-state Circuits, vol.36, No.5, pp.761-769, May 2001 に開示されている。

図1に、従来の位相比較回路を示す。データ信号D i nを2個のラッチ回路L 1、L 2でラッチする。ラッチ回路L 1は、クロック信号C Kの立ち上がりエッジでデータ信号D i nをラッチし、ラッチ回路L 2はクロック信号C Kの立ち下がりエッジでデータ信号D i nをラッチする。排他的論理回路E 1は、ラッチ回路L 1、L 2の出力Q 1、Q 2の排他的論理和（X O R）を、位相誤差信号E r r o rとして出力する。一方、出力Q 1と出力Q 2は、各々2個のラッチ回路L 3、L 4でラッチする。ラッチ回路L 3は、クロック信号C Kの立ち下がりエッジでラッチし、ラッチ回路L 4は、クロック信号C Kの立ち上がりエッジでラッチする。排他的論理和回路E 2は、ラッチ回路L 3、L 4の出力Q 3、Q 4のX O Rを、基準信号R e fとして出力する。

図2に、位相比較回路の動作を示す。位相誤差信号E r r o rは、データ信号D i nに遷移があった場合、データ信号の遷移エッジ（図2ではX 1と表示）とクロック信号C Kの立ち上がり（図2ではY 1と表示）との時間差、およびデータ信号の遷移エッジ（図2ではX 2と表示）とクロック信号C Kの立ち下がりエッジ（図2ではY 2と表示）との時間差に相当するパルス幅を有する。基準信号R e fは、データ信号D i nに遷移があった場合、常にクロックC Kの立ち下がりから立ち上がりまでの幅（データ周期Tと等しい）のパルスである。クロック信号C Kの立ち上がり（または立ち下がり）エッジが、データ信号D i nの中央に位置する所望の位相関係になった時に、位相誤差信号E r r o rのパルス幅は、基準信号R e fのパルス幅の1／2になる。

クロック信号C Kの立ち上がりエッジがデータ信号D i nの中央より Δt （図2では Δt の最大範囲として $\pm 0.5 * T$ と表示）だけ前に位置した時、位相誤差信号E r r o rのパルス幅は、基準信号R e fのパルス幅の1／2に対して、 Δt だけ幅が減少する。クロック信号C Kの立ち上がりエッジがデータ信号D i nの中央より Δt だけ後ろに位置した時、位相誤差信号E r r o rのパルス幅は、基準信号R e fのパルス幅の1／2に対して、 Δt だけ幅が増加する。

従来の位相比較回路において、排他的論理和回路 E 1 の出力である位相誤差信号 E r r o r は、データ信号 D i n の遷移エッジと次のクロック信号 C K の遷移エッジとの時間幅を有するパルスである。データ信号 D i n の周期が T s e c、データ速度が $f / 2 \text{ Hz}$ （クロック信号換算）であるとする、位相誤差信号 E r r o r のパルス幅は、 $0.5 * T$ 以下となる。従って、回路に要求される動作速度は、周波数換算で最高 $f \text{ Hz}$ 以上となる。すなわち、従来の位相比較回路、およびこれを用いる C D R 回路を実現するためには、入力するデータ速度の 2 倍以上の速度で動作可能な素子を必要とする。

10 発明の開示

本発明の目的は、位相比較回路の動作速度を緩和して、高速なデータ信号入力に対しても安定したクロック抽出機能とデータ整形機能を有する C D R 回路を提供することである。

本発明の一実施形態にかかる位相比較回路は、入力されたデータ信号の単位時間幅の 2 倍の周期を有するクロック信号で動作する。第 1 のラッチ回路と第 2 のラッチ回路にデータ信号を入力し、第 1 のラッチ回路は第 1 のクロック信号でラッチを行い、第 2 のラッチ回路は第 1 のクロック信号の反転クロックである第 2 のクロック信号でラッチを行う。第 1 のラッチ回路の出力を第 3 のラッチ回路に入力し、第 2 のラッチ回路の出力を第 4 のラッチ回路に入力し、第 3 のラッチ回路は第 2 のクロック信号でラッチを行い、第 4 のラッチ回路は第 1 のクロック信号でラッチを行う。第 2 のラッチ回路の出力と第 3 のラッチ回路の出力との間の排他的論理和を第 1 の位相誤差信号とし、第 1 のラッチ回路の出力と第 4 のラッチ回路の出力との間の排他的論理和を第 2 の位相誤差信号とする。

他の実施形態にかかる位相比較回路は、第 2 のラッチ回路の出力を第 1 の遅延回路に接続し、第 1 の遅延回路の出力と第 3 のラッチ回路の出力との間の排他的論理和を第 1 の位相誤差信号とし、第 1 のラッチ回路の出力を第 2 の遅延回路に

接続し、第2の遅延回路の出力と第4のラッチ回路の出力との間の排他的論理和を第2の位相誤差信号とする。

図面の簡単な説明

- 5 図1は、従来の位相比較回路の回路図。
図2は、従来の位相比較回路の動作を示すタイムチャート。
図3は、本発明の第1の実施形態にかかる位相比較回路の回路図。
図4は、本発明の第1の実施形態にかかる位相比較回路の動作を示すタイムチャート。
- 10 図5A-5Cは、第1の実施形態にかかる位相比較回路の位相誤差信号と、従来の位相比較回路の位相誤差信号のパルス幅を比較した図。
図6は、本発明の第2の実施形態にかかる位相比較回路の回路図。
図7は、本発明の一実施形態にかかるCDR回路の回路図。
図8は、本発明の第1の実施形態にかかるチャージポンプ回路の回路図。
- 15 図9は、本発明の第2の実施形態にかかるチャージポンプ回路の回路図。

発明を実施するための最良の形態

以下、図面を参照しながら本発明の実施形態について詳細に説明する。

(位相比較回路)

- 20 図3に、本発明の第1の実施形態にかかる位相比較回路を示す。位相比較回路は、4個のラッチ回路L1（第1のラッチ回路）、L2（第2のラッチ回路）、L3（第3のラッチ回路）、L4（第4のラッチ回路）と、3個の排他的論理和回路E1、E2、E3と、2個のAND回路A1、A2とから構成されている。

- 第1の実施形態にかかる位相比較回路は、データ信号D_{in}をラッチ回路L1、
25 L2のデータ端子Dに共通に接続する。ラッチ回路L1の出力端子Qを、ラッチ回路L3のデータ端子Dおよび排他的論理和回路E2の第1の入力端子に接続す

る。ラッチ回路L 2 の出力端子Qを、ラッチ回路L 4 のデータ端子Dおよび排他的論理和回路E 1 の第 1 の入力端子に接続する。ラッチ回路L 3 の出力端子Qを、排他的論理和回路E 1 の第 2 の入力端子および排他的論理和回路E 3 の第 1 の入力端子に接続する。ラッチ回路L 4 の出力端子Qを、排他的論理和回路E 2 の第 2 の入力端子および排他的論理和回路E 3 の第 2 の入力端子に接続する。排他的論理和回路E 1 の出力は、位相比較回路の位相誤差信号E r r o r 1（第 1 の位相誤差信号）である。排他的論理和回路E 2 の出力は、位相比較回路の位相誤差信号E r r o r 2（第 2 の位相誤差信号）である。

排他的論理和回路E 3 の出力端子を、AND回路A 1 とAND回路A 2 の第 1 の入力端子に共通に接続する。クロック信号CK 1（第 1 のクロック）を、ラッチ回路L 1 のクロック入力端子Cとラッチ回路L 4 のクロック入力端子CとAND回路A 2 の第 2 の入力端子とに接続する。また、クロック信号CK 1 の反転クロックであるクロック信号CK 2（第 2 のクロック）を、ラッチ回路L 2 のクロック入力端子Cとラッチ回路L 3 のクロック入力端子CとAND回路A 1 の第 2 の入力端子に接続する。クロック信号CK 1 およびクロック信号CK 2 は、データ信号D i n の周期Tの 2 倍の周期を有するハーフレートクロックである。

図 4 を参照して、第 1 の実施形態にかかる位相比較回路の動作を説明する。クロック信号CK 1 とクロック信号CK 2 の遷移エッジが、データ信号D i n の中央（データ信号周期Tの中央の時間点）に位置した状態を、「位相が合った」状態と表現する。データ信号D i n の中央から、クロック信号CK 1 とクロック信号CK 2 の遷移エッジが外れた時間量を、「位相誤差」と表現する。位相比較器は、位相が合った時の位相誤差信号のパルス幅を基準幅として、位相誤差をそのまま位相誤差信号の基準幅に増減して出力する。排他的論理和回路E 1、E 2 の出力である位相誤差信号E r r o r 1、E r r o r 2 は、データ信号D i n において連続する 2 つのデータがハイからローに、またはローからハイに遷移した場合に出力される。

また、位相比較器は、排他的論理和回路E 3の出力とクロックCK 2とが接続されたAND回路A 1の出力を基準信号Ref 1とし、排他的論理和回路E 3の出力とクロックCK 1とが接続されたAND回路A 2の出力を基準信号Ref 2とする。基準信号Ref 1, Ref 2は、データ信号Dinにおいて連続する2つのデータがハイからローに、またはローからハイに遷移した場合にのみ、クロックCK 1の立ち上がりエッジからクロックCK 2の立ち上がりエッジまでの時間幅（データ信号周期Tの単位時間幅と等しい）を有するパルスである。

位相比較器は、データ信号Dinをラッチ回路L 1において、クロック信号CK 1の立ち上がりエッジでラッチする。ラッチ回路L 1の出力は、図4の出力q 1である。ラッチ回路L 1が偶数番のデータのみをラッチするので、（位相誤差が無い場合には）ラッチしたデータの長さは、データ周期Tの1. 5 倍の幅に伸長される。さらに、データ信号Dinをラッチ回路L 2において、クロック信号CK 2の立ち上がりエッジでラッチする。ラッチ回路L 2の出力は、図4の出力q 2である。ラッチ回路L 2が奇数番のデータのみをラッチするので、（位相誤差が無い場合には）ラッチしたデータの長さは、データ周期Tの1. 5 倍の幅に伸長される。

出力q 1を、ラッチ回路L 3にてクロックCK 2の立ち上がりエッジでラッチする。ラッチ回路L 3の出力q 3は、データ信号Dinの偶数番目のデータを、（位相誤差が無い場合には） $T/2$ だけ遅延する。同様に、出力q 2を、ラッチ回路L 4にてクロックCK 1の立ち上がりエッジでラッチする。ラッチ回路L 4の出力q 4は、データ信号Dinの奇数番目のデータを、（位相誤差が無い場合には） $T/2$ だけ遅延する。

排他的論理和回路E 1において、データ信号Dinのn番目のデータである出力q 3とn+1番目（nは偶数）のデータであるq 2の排他的論理和である位相誤差信号Error 1が得られる。また、排他的論理和回路E 2において、データ信号Dinのm番目のデータである出力q 4とm+1番目（mは奇数）のデー

タである出力 $q1$ の排他的論理和である位相誤差信号 $Error2$ が得られる。
ラッチ回路 $L1$ の偶数番目の出力データ幅とラッチ回路 $L2$ の奇数番目の出力データ幅が（位相誤差が無い場合には） $1.5 * T$ に伸長されているため、位相誤差信号 $Error1$ と位相誤差信号 $Error2$ のパルス幅は、 $1.5 * T$ に伸
5 長される。

位相誤差信号 $Error1$ のパルスの立ち上がりは、データ信号 Din の遷移点（図4では $X1$ と表示）であり、立ち下りは、クロック信号 $CK1$ の立ち上がりエッジ（図4では $Y1$ と表示）である。位相誤差信号 $Error2$ のパルスの立ち上がりは、データ信号 Din の遷移点（図4では $X2$ と表示）であり、立ち
10 下りは、クロック信号 $CK2$ の立ち上がりエッジ（図4では $Y2$ と表示）である。
すなわち、位相誤差信号 $Error1$ （位相誤差信号 $Error2$ ）のパルス幅は、データ信号周期 T に、データ信号 Din の遷移点からクロック信号 $CK1$ （クロック信号 $CK2$ ）の立ち上がりエッジまでの時間 $0.5 * T$ （位相誤差が無い場合）を加えた時間幅となる。

15 位相誤差信号 $Error1$ と位相誤差信号 $Error2$ のパルス幅は、位相誤差が無い場合のパルス幅である $1.5 * T$ を中心として、位相誤差である $0.5 * T$ だけ増減（ $1.5 * T \pm 0.5 * T$ ）する。従って、データ信号 Din とクロック信号 $CK1$ 、 $CK2$ の間の位相誤差は、位相誤差信号 $Error1$ と位相誤差信号 $Error2$ のパルス幅の変化量として出力される。第1の実施形態によれば、データ信号 Din とクロック信号 $CK1$ 、 $CK2$ の位相誤差が $\pm \Delta t$ の場合、位相誤差信号のパルス幅を、従来の位相比較回路における $0.5 * T \pm \Delta t$ から $1.5 * T \pm \Delta t$ に伸長することができる。従って、動作速度の遅い素子を用いて、高速な位相比較器を構成することができる。

図5A-5Cを参照して、第1の実施形態にかかる位相比較回路の位相誤差信号と、従来の位相比較回路の位相誤差信号のパルス幅を比較する。図5Aに示したようにデータ信号 Din とクロック信号 $CK1$ 、 $CK2$ の位相が合った状態で
25

は、第1の実施形態にかかる位相比較回路の位相誤差信号 $E r r o r 1$ 、 $E r r o r 2$ のパルス幅は、 $T 0 (=T+T 1)$ であり、従来の位相比較回路の位相誤差信号 $E r r o r$ のパルス幅は、 $T 1$ である。

しかしながら、図5Bに示したようにクロック信号 $C K 1$ ($C K 2$) の位相が進んだ場合には、従来の位相比較回路では、信号の立ち上がりと立ち下りの分だけパルス幅が減少する(図5Bの δ)。さらに、データ信号 $D i n$ の位相が進んだ場合には、位相誤差信号 $E r r o r$ が消滅して出力されない場合もある。これに対して、第1の実施形態にかかる位相比較回路においては、例えば、 $T/4$ を超える位相誤差が生じて、位相誤差信号 $E r r o r 1$ 、 $E r r o r 2$ は消滅せず、位相誤差を位相誤差信号のパルス幅として表すことができる。

図5Cに示したようにクロック信号 $C K 1$ ($C K 2$) の位相が遅れた場合には、いずれの位相比較回路においても、パルス幅が増大し、位相誤差を位相誤差信号のパルス幅として表すことができる。以上述べたように、第1の実施形態にかかる位相比較回路は、位相誤差信号 $E r r o r 1$ 、 $E r r o r 2$ のパルス幅が伸長されているため、信号の立ち上がり時間と立ち下り時間の影響による誤差が生じにくい。従って、広い範囲の位相誤差に対して、高精度に位相比較を行うことができる。

基準信号 $R e f 1$ は、ラッチ回路 $L 3$ の出力 $q 3$ とラッチ回路 $L 4$ の出力 $q 4$ とに接続された排他的論理和回路 $E 3$ の出力と、クロック信号 $C K 2$ とをAND回路 $A 1$ に入力して得られた信号である。基準信号 $R e f 2$ は、排他的論理和回路 $E 3$ の出力と、クロック信号 $C K 1$ とをAND回路 $A 2$ に入力して得られた信号である。基準信号 $R e f 1$ は、データ信号 $D i n$ の n 番目のデータと $n+1$ 番目 (n は偶数) で遷移がある場合にパルスとなる。基準信号 $R e f 2$ は、データ信号 $D i n$ の m 番目のデータと $m+1$ 番目 (m は奇数) で遷移がある場合にパルスとなる。

基準信号 $R e f 1$ と基準信号 $R e f 2$ のパルスは、データ信号 $D i n$ とクロッ

ク信号CK 1、CK 2の位相関係にかかわらずデータ周期Tのパルスである。基準信号Ref 1は、位相誤差信号Error 1のパルス幅の増減を判別する基準パルスとなり、基準信号Ref 2は、位相誤差信号Error 2のパルス幅の増減を判別する基準パルスとなる。

- 5 第1の実施の形態によれば、ラッチ回路の動作エッジをクロックの立ち上がりエッジとしたが、これを立ち下がりエッジに変更することは容易に類推できる。データ信号Dinの偶数番目または奇数番目という表現は、説明の便宜上、0番を基準に用いたものであり、1番を基準に奇数番目または偶数番目とすることもできる。また、基準信号を基準信号Ref 1と基準信号Ref 2に分離したが、
- 10 排他的論理和回路E 3の出力を基準信号として使用してもよい。さらに、入力されたデータ信号の2倍の周期を有するクロック信号を用いて説明したが、2の倍数の周期を有するクロック信号を用いて、位相誤差信号のパルス幅をさらに伸長して位相誤差を判定してもよい。

- 図6に、本発明の第2の実施形態にかかる位相比較回路を示す。第1の実施形態
- 15 態にかかる位相比較回路とは、遅延回路D 1（第1の遅延回路）と遅延回路D 2（第2の遅延回路）を具備することが異なる。回路の接続と動作について、第1の実施形態との差異のみを説明する。遅延回路D 1の入力端子は、ラッチ回路L 2の出力に接続され、遅延回路D 1の出力端子は、排他的論理和回路E 1の第1の入力端子に接続される。遅延回路D 2の入力端子は、ラッチ回路L 1の出力に
- 20 接続され、遅延回路D 2の出力端子は、排他的論理和回路E 2の第1の入力端子に接続される。

- 遅延回路D 1、D 2は、それぞれラッチ回路L 2とL 1の出力q 2、q 1を遅延させる。遅延量は、ラッチ回路L 3またはラッチ回路L 4のクロック信号が遷移して、出力q 3、q 4が遷移する間の出力遅延時間程度に設定する。この設定
- 25 により、ラッチ回路L 1（ラッチ回路L 2）とラッチ回路L 3（ラッチ回路L 4）の出力の遷移タイミングが一致する。このようにして、位相誤差信号Err

or1、Error2を生成する排他的論理和回路E1、E2の2つの入力端子間の遅延差を補正する。位相誤差信号Error1、Error2の幅を、データ信号Dinとクロック信号CK1、CK2との位相差に近づけることができ、第1の実施形態と比較して、より高い精度の位相比較が可能となる。

5 (CDR回路)

図7に、本発明の一実施形態にかかるCDR回路を示す。CDR回路は、位相比較回路PDと、第1のチャージポンプ回路CP__1と、第2のチャージポンプ回路CP__2と、ループフィルタLOFと、両相単相電圧変換回路DSCと、電圧制御発振回路VCOとから構成されている。位相比較回路PDは、例えば、図
10 3に示した第1の実施形態にかかる位相比較回路であり、データ信号Dinの遷移点とクロック信号CK1の立ち上がりエッジとの間の位相差を表す位相誤差信号Error1と、データ信号Dinの遷移点とクロック信号CK2の立ち上がりエッジとの間の位相差を表す位相誤差信号Error2とを出力する。また、データ信号Dinにおいて連続する2つのデータが遷移した場合に、クロック信号CK2の立ち上がりエッジからクロック信号CK1の立ち上がりエッジまでの時間幅を有する基準信号Ref1と、クロック信号CK1の立ち上がりエッジからクロック信号CK2の立ち上がりエッジまでの時間幅を有する基準信号Ref2を出力する。

なお、図7において、Dout__1は、クロック信号CK1に対応したデータ
20 信号出力であり、Dout__2は、クロック信号CK2に対応したデータ信号出力であり、CKoutは、クロック信号CK1の出力である。

位相誤差信号Error1と基準信号Ref1とを、第1のチャージポンプ回路CP__1に入力し、位相誤差信号Error2と基準信号Ref2とを、第2のチャージポンプ回路CP__2に入力する。チャージポンプ回路CP__1、CP
25 __2は、位相誤差信号がハイの間、信号線vcont+を介してループフィルタLOFに電流を流し込み、信号線vcont-を介してループフィルタLOFか

ら電流を引き出す。また、基準信号がハイの間は、信号線 v_{cont-} を介してループフィルタ L_{OF} に電流を流し込み、信号線 v_{cont+} を介して電流を引き出す。位相誤差信号と基準信号とが共にローの場合は、信号線 v_{cont+} および v_{cont-} のいずれにも電流は流れない。

- 5 信号線 v_{cont+} および信号線 v_{cont-} は、ループフィルタ L_{OF} を形成する抵抗 R_1 と抵抗 R_2 の片端に各々接続されている。位相が合った状態では、位相誤差信号がそれぞれハイの期間にループフィルタ L_{OF} の容量 C_1 に流れ込む総電荷量と、基準信号がそれぞれハイの期間に容量 C_1 から流れ出る総電荷量とが釣り合い、信号線 v_{cont+} と v_{cont-} 間の電位差は一定に保持される。
- 10 ここで、位相誤差信号がハイの期間にループフィルタ L_{OF} に流れ込む電流をソース電流と呼び、基準信号がハイの期間にループフィルタ L_{OF} に流れ込む電流をシンク電流と呼ぶ。第1のチャージポンプ回路 CP_1 と第2のチャージポンプ回路 CP_2 のソース電流とシンク電流との電流比は、位相が合った状態で容量 C_1 を出入りする電荷量を釣り合わせるために、位相誤差信号と基準信号の
- 15 パルス幅の比の逆数に設定する。すなわち、ソース電流とシンク電流の電流比は、2 : 3 である。

- 一方、データ信号 D_{in} の遷移点の中央に対してクロック信号 CK_1 の立ち上がりエッジの位相が遅れている時は、位相誤差信号がハイの期間である幅が広がり、信号線 v_{cont+} 、 v_{cont-} 間の電位差がプラス側に増加する。データ
- 20 信号 D_{in} の遷移点の中央に対してクロック信号 CK_1 の立ち上がりエッジの位相が進んでいる時は、位相誤差信号がハイの期間である幅が狭まり信号線 v_{cont+} 、 v_{cont-} 間の電位差がマイナス側に増加する。信号線 v_{cont+} 、 v_{cont-} は、両相単相電圧変換回路 DS_C に入力される。

- 両相単相電圧変換回路 DS_C は、信号線 v_{cont+} 、 v_{cont-} 間の電位
- 25 差を、その出力である信号線 v_{cont} の電圧レベルに変換する。信号線 v_{cont+} 、 v_{cont-} 間の電位差がプラス側に増加すると、出力側の信号線 v_{cont}

o n t の電位は上がり、信号線 v c o n t +、v c o n t - 間の電位差がマイナス側に増加すると出力側の信号線 v c o n t の電位は下がる。位相が合った状態では、信号線 v c o n t の値は一定値となる。信号線 v c o n t は、電圧制御発振回路 V C O に接続される。

- 5 電圧制御発振回路 V C O は、データ周期 T に対して、周波数 $f/2$ ($= 1/(2 * T)$) 近傍の周波数で発振し、クロック信号 C K 1 として出力する。両相単相電圧変換回路 D S C から出力される信号線 v c o n t が、高い電圧になると周波数は上がり、信号線 v c o n t が低い電圧になると周波数は下がる。このことにより、クロック信号 C K 1 の立ち上がりエッジが、データ信号 D i n の遷移
10 点の中央に位置するように調整され、クロック信号とデータ信号の位相同期を行って、データ信号を再生する。

図 8 に、本発明の第 1 の実施形態にかかるチャージポンプ回路を示す。C D R 回路における第 1 のチャージポンプ回路 C P _ 1 および第 2 のチャージポンプ回路 C P _ 2 は、同じ回路であるために、ここではチャージポンプ回路 C P _ n と
15 記述する。チャージポンプ回路 C P _ n は、4 つの電流源 I p 1、I p 2、I n 1、I n 2 と、N M O S トランジスタ Q N 1、Q N 2、Q N 3、Q N 4 とから構成されている。チャージポンプ回路 C P _ n の入力である位相誤差信号 E r r o r 1 (位相誤差信号 E r r o r 2) は、トランジスタ Q N 1 のゲート電極に印加されており、位相誤差信号 E r r o r 1 (位相誤差信号 E r r o r 2) の反転信
20 号は、トランジスタ Q N 2 のゲート電極に印加されている。また、基準信号 R e f 1 (基準信号 R e f 2) は、トランジスタ Q N 3 のゲート電極に印加され、基準信号 R e f 1 (基準信号 R e f 2) の反転信号はトランジスタ Q N 4 のゲート電極に印加されている。

トランジスタ Q N 1、Q N 2 のソース電極は、共通の電流源 I n 2 の電源 V D
25 D 側に接続され、トランジスタ Q N 3、Q N 4 のソース電極は、共通の電流源 I n 1 の電源 V D D 側に接続される。トランジスタ Q N 1、Q N 3 のドレイン電極

は、電流源 I_{p1} の電源 V_{SS} 側に接続されるとともに出力信号線 v_{cont-} に接続される。トランジスタ Q_{N2} 、 Q_{N4} のドレイン電極は、共通の電流源 I_{p2} の電源 V_{SS} 側に接続されるとともに出力信号線 v_{cont+} に接続される。

位相が合った状態では、位相誤差信号 $Error1$ 、 $Error2$ のパルス幅と、基準信号 $Ref1$ 、 $Ref2$ のパルス幅の比は、図4に示したように $3:2$ である。チャージポンプ回路 CP_n においては、電流源 I_{p1} と電流源 I_{n1} の電流値を等しく I_o とし、電流源 I_{p2} と電流源 I_{n2} の電流値を等しく $(2/3) * I_o$ と設定する。位相誤差信号 $Error1$ 、 $Error2$ がハイの期間のソース電流は $(2/3) * I_o$ となり、基準信号 $Ref1$ 、 $Ref2$ がハイの期間のシンク電流は I_o となる。位相誤差信号 $Error1$ 、 $Error2$ のパルス幅 $(3/2) * T$ に、ソース電流 $(2/3) * I_o$ を乗じたソース電荷量 $T * I_o$ と、基準信号 $Ref1$ 、 $Ref2$ のパルス幅 T にシンク電流 I_o を乗じたソース電荷量 $T * I_o$ を等しくすることができる。このようにして、位相が合った状態で容量 $C1$ を出入りする電荷量を釣り合わせることができる。

図9に、本発明の第2の実施形態にかかるチャージポンプ回路を示す。チャージポンプ回路 CP_n は、図8に示した第1の実施形態にかかるチャージポンプ回路 CP_n の電流源 I_{p1} をPMOSトランジスタ Q_{P1} に、電流源 I_{p2} をPMOSトランジスタ Q_{P2} に、電流源 I_{n1} をNMOSトランジスタ Q_{N6} に、電流源 I_{n2} をNMOSトランジスタ Q_{N5} に置き換えた回路である。トランジスタ Q_{P1} 、 Q_{N6} は、トランジスタ Q_{P4} 、 Q_{N8} で構成されるカレントミラー回路により制御用入力電圧 $v1$ で制御され、共通の電流 I_o を流す。トランジスタ Q_{P2} 、 Q_{N5} は、トランジスタ Q_{P3} 、 Q_{N7} で構成されるカレントミラー回路により制御用入力電圧 $v2$ で制御され、共通の電流 $k * I_o$ を流す。

制御用の入力電圧 $v1$ 、 $v2$ は、外部から任意の電圧を設定することができる。このようにして、チャージポンプ回路 CP_n のソース電流とシンク電流の電流比 k を、任意に設定することができる。したがって、位相が合った状態の位相誤

差信号 E_{rror1} 、 E_{rror2} と基準信号 R_{ef1} 、 R_{ef2} のパルス幅比を、外部電圧 v_1 、 v_2 により $(1/k)$ に変えることができる。すなわち、位相誤差がゼロのときに、データ信号 D_{in} とクロック信号 CK_1 の位相関係を調整することができる。これにより、図4に示したように、位相比較回路の出力である位相誤差信号 E_{rror1} 、 E_{rror2} のパルス幅を、 $1.5 * T$ から例えば $1.3 * T$ 等に調整することができる。図5Cに示したクロック信号 CK_1 (CK_2) の位相が遅れた場合であっても、位相誤差がさらに大きな範囲まで高精度に位相比較を行うことができる。

なお、両相単相電圧変換回路 DSC は、一般的なオペアンプを用いた加算回路で構成することができ、電圧制御発振回路 VCO は、一般的な LC 発振回路、リングオシレータ回路で構成することができる。また、ループフィルタ LOF は、上述した両相ループフィルタを用いることなく、単相のチャージポンプと単相のフィルタとボルテージフォロア回路を用いて構成することもできる。

請求の範囲

1. 入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作する位相比較回路において、

- 5 第1のラッチ回路と第2のラッチ回路に前記データ信号を入力し、前記第1のラッチ回路は第1のクロック信号でラッチを行い、前記第2のラッチ回路は前記第1のクロック信号の反転クロックである第2のクロック信号でラッチを行い、

- 前記第1のラッチ回路の出力を第3のラッチ回路に入力し、前記第2のラッチ回路の出力を第4のラッチ回路に入力し、前記第3のラッチ回路は前記第2のクロック信号でラッチを行い、前記第4のラッチ回路は前記第1のクロック信号でラッチを行い、
- 10

- 前記第2のラッチ回路の出力と前記第3のラッチ回路の出力との間の排他的論理和を第1の位相誤差信号とし、前記第1のラッチ回路の出力と前記第4のラッチ回路の出力との間の排他的論理和を第2の位相誤差信号としたことを特徴とする位相比較回路。
- 15

2. 前記第2のラッチ回路の出力を第1の遅延回路に接続し、該第1の遅延回路の出力と前記第3のラッチ回路の出力との間の排他的論理和を前記第1の位相誤差信号とし、

- 20 前記第1のラッチ回路の出力を第2の遅延回路に接続し、該第2の遅延回路の出力と前記第4のラッチ回路の出力との間の排他的論理和を前記第2の位相誤差信号としたことを特徴とする請求項1に記載の位相比較回路。

3. 入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作する位相比較回路において、
- 25

前記データ信号の遷移点と第1のクロック信号の立ち上がりエッジとの間の位

相差をパルス幅として表す第 1 の位相誤差信号と、

前記データ信号の遷移点と前記第 1 のクロック信号の反転クロックである第 2 のクロック信号の立ち上がりエッジとの間の位相差をパルス幅として表す第 2 の位相誤差信号とを出力することを特徴とする位相比較回路。

5

4. 前記第 1 の位相誤差信号のパルス幅の増減を判別するために、前記データ信号において連続する 2 つのデータの間で遷移が生じた場合に、前記第 2 のクロック信号の立ち上がりエッジから前記第 1 のクロック信号の立ち上がりエッジまでの時間幅を有する第 1 の基準信号と、

10 前記第 2 の位相誤差信号のパルス幅の増減を判別するために、前記データ信号において連続する 2 つのデータの間で遷移が生じた場合に、前記第 1 のクロック信号の立ち上がりエッジから前記第 2 のクロック信号の立ち上がりエッジまでの時間幅を有する第 2 の基準信号を出力することを特徴とする請求項 3 に記載の位相比較回路。

15

5. 入力されたデータ信号の単位時間幅の 2 倍の周期を有するクロック信号で動作する位相比較回路において、

前記データ信号の遷移点と前記クロック信号の遷移点との間の位相差をパルス幅として表す位相誤差信号のパルス幅を、前記データ信号の単位時間幅だけ伸長
20 することを特徴とする位相比較回路。

6. 偶数番目の前記データ信号の遷移点と前記クロック信号の立ち上がりエッジとの間の位相差をパルス幅として表す第 1 の位相誤差信号と、

奇数番目の前記データ信号の遷移点と前記クロック信号の立ち下がりエッジとの間の位相差をパルス幅として表す第 2 の位相誤差信号とを出力することを特徴
25 とする請求項 5 に記載の位相比較回路。

7. 位相比較回路と、チャージポンプ回路と、ループフィルタとを含み、入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作するCDR回路において、

- 5 前記位相比較回路は、前記データ信号の遷移点と前記クロック信号の立ち上がりエッジとの間の位相差をパルス幅として表す第1の位相誤差信号と、前記データ信号の遷移点と前記クロック信号の立ち下がりエッジとの間の位相差をパルス幅として表す第2の位相誤差信号とを出力し、前記データ信号において連続する2つのデータの間で遷移が生じた場合に、前記クロック信号の立ち下がりエッジ
- 10 から前記クロック信号の立ち上がりエッジまでの時間幅を有する第1の基準信号と、前記クロック信号の立ち上がりエッジから前記クロック信号の立ち下がりエッジまでの時間幅を有する第2の基準信号とを出力し、

- 前記チャージポンプ回路は、前記第1の位相誤差信号と前記第1の基準信号とを入力する第1のチャージポンプ回路と、前記第2の位相誤差信号と前記第2の
- 15 基準信号とを入力する第2のチャージポンプ回路とを含み、

前記第1および第2の位相誤差信号に応じて前記ループフィルタに流し込むソース電流と、前記第1および第2の基準信号に応じて前記ループフィルタに流し込むシンク電流とは、前記データ信号と前記クロック信号との位相が合った状態において等しくなるように構成されていることを特徴とするCDR回路。

20

8. 前記チャージポンプ回路は、前記ソース電流と前記シンク電流との比を調整するために、外部電圧により制御される電流供給手段を含むことを特徴とする請求項7に記載のCDR回路。

補正書の請求の範囲

[2004年8月18日(18.08.04)国際事務局受理 : 新しい請求の範囲
9-12が加えられた。他の請求の範囲は変更なし。(2頁)]

7. 位相比較回路と、チャージポンプ回路と、ループフィルタとを含み、入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作するCDR回路において、

- 5 前記位相比較回路は、前記データ信号の遷移点と前記クロック信号の立ち上がりエッジとの間の位相差をパルス幅として表す第1の位相誤差信号と、前記データ信号の遷移点と前記クロック信号の立ち下がりエッジとの間の位相差をパルス幅として表す第2の位相誤差信号とを出力し、前記データ信号において連続する2つのデータの間で遷移が生じた場合に、前記クロック信号の立ち下がりエッジから前記クロック信号の立ち上がりエッジまでの時間幅を有する第1の基準信号と、前記クロック信号の立ち上がりエッジから前記クロック信号の立ち下がりエッジまでの時間幅を有する第2の基準信号とを出力し、
- 10

- 前記チャージポンプ回路は、前記第1の位相誤差信号と前記第1の基準信号とを入力する第1のチャージポンプ回路と、前記第2の位相誤差信号と前記第2の基準信号とを入力する第2のチャージポンプ回路とを含み、
- 15

- 前記第1および第2の位相誤差信号に応じて前記ループフィルタに流し込むソース電流と、前記第1および第2の基準信号に応じて前記ループフィルタに流し込むシンク電流とは、前記データ信号と前記クロック信号との位相が合った状態において等しくなるように構成されていることを特徴とするCDR回路。
- 20

8. 前記チャージポンプ回路は、前記ソース電流と前記シンク電流との比を調整するために、外部電圧により制御される電流供給手段を含むことを特徴とする請求項7に記載のCDR回路。

- 25 9. (追加) 入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作する位相比較回路において、

前記データ信号の遷移点と前記クロック信号の遷移点との間の位相差をパルス幅として表す位相誤差信号のパルス幅を、任意の時間幅だけ伸長することを特徴とする位相比較回路。

- 5 10. (追加) 位相比較回路と、チャージポンプ回路と、ループフィルタとを含み、入力されたデータ信号の単位時間幅の2倍の周期を有するクロック信号で動作するCDR回路において、

10 前記位相比較回路は、前記データ信号の遷移点と前記クロック信号の遷移点との間の位相差をパルス幅として表す位相誤差信号のパルス幅を、任意の時間幅だけ伸長し、前記チャージポンプ回路に出力することを特徴とするCDR回路。

11. (追加) 入力されたデータ信号の単位時間幅の自然数倍の周期を有するクロック信号で動作する位相比較回路において、

15 前記データ信号の遷移点と前記クロック信号の遷移点との間の位相差をパルス幅として表す位相誤差信号のパルス幅を、任意の時間幅だけ伸長することを特徴とする位相比較回路。

- 20 12. (追加) 位相比較回路と、チャージポンプ回路と、ループフィルタとを含み、入力されたデータ信号の単位時間幅の自然数倍の周期を有するクロック信号で動作するCDR回路において、

前記位相比較回路は、前記データ信号の遷移点と前記クロック信号の遷移点との間の位相差をパルス幅として表す位相誤差信号のパルス幅を、任意の時間幅だけ伸長し、前記チャージポンプ回路に出力することを特徴とするCDR回路。

1/9

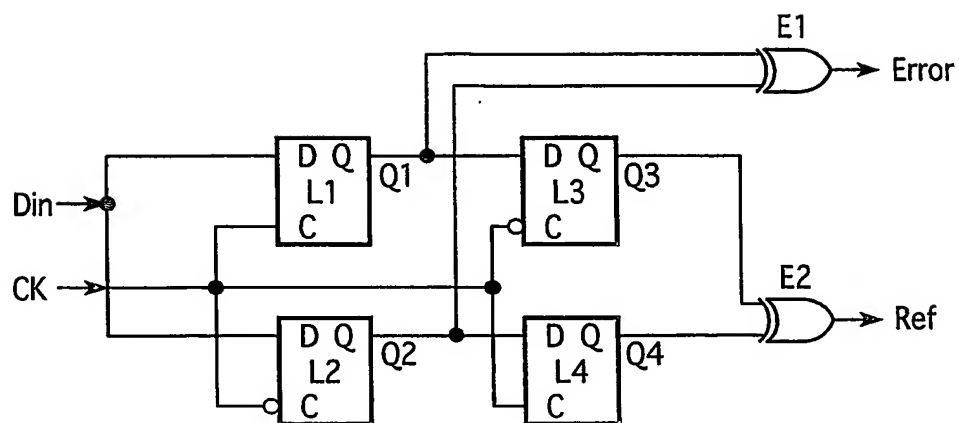


FIG.1

従来技術

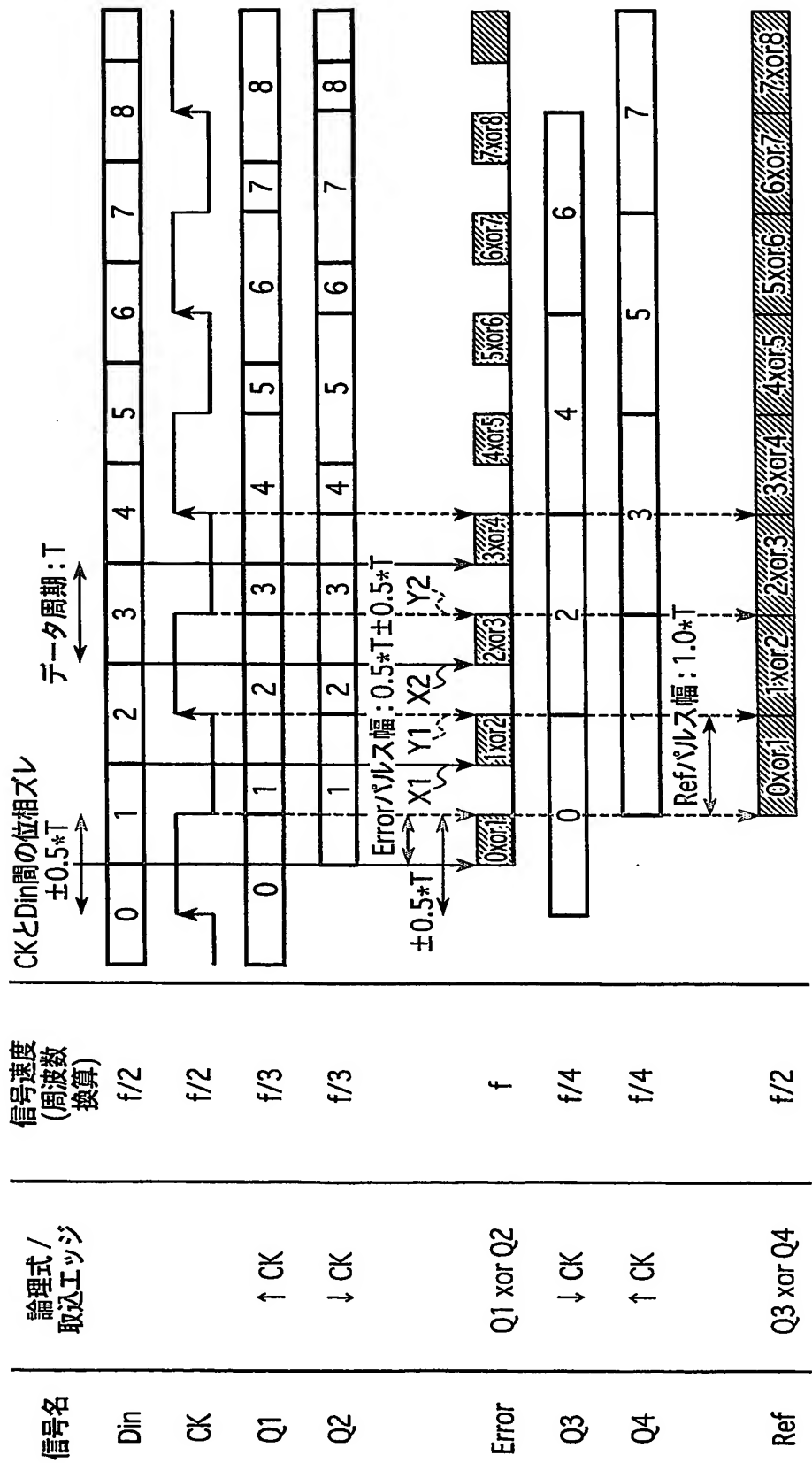


FIG.2

従来技術

3/9

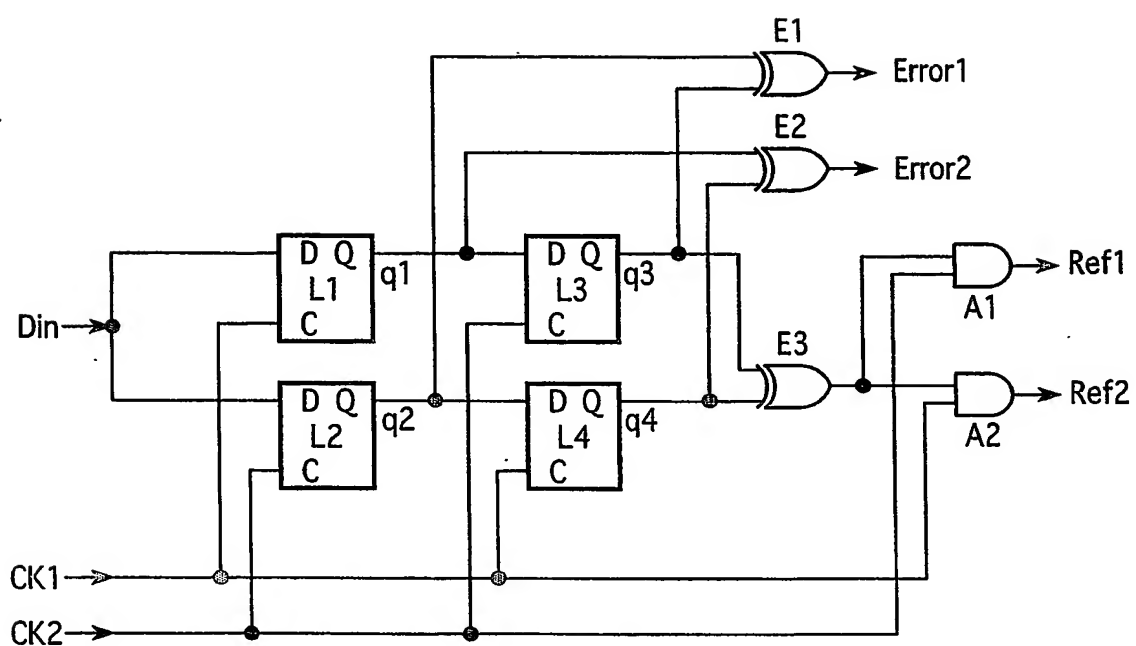


FIG.3

4/9

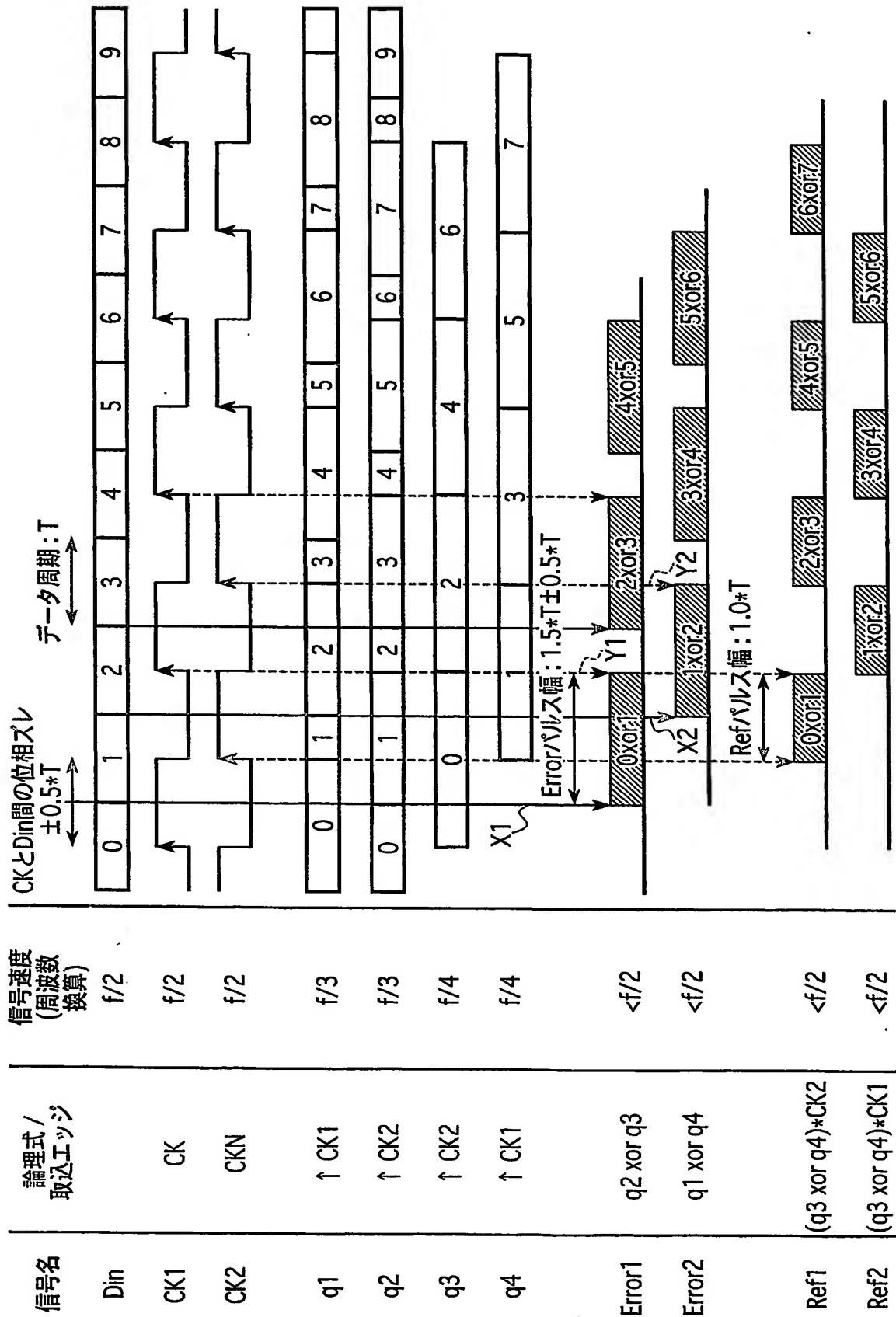


FIG.4

5/9

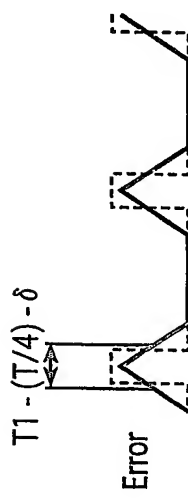
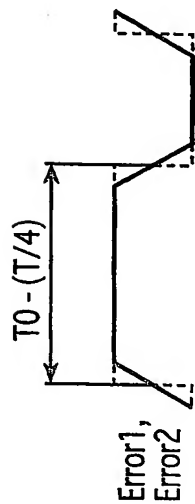
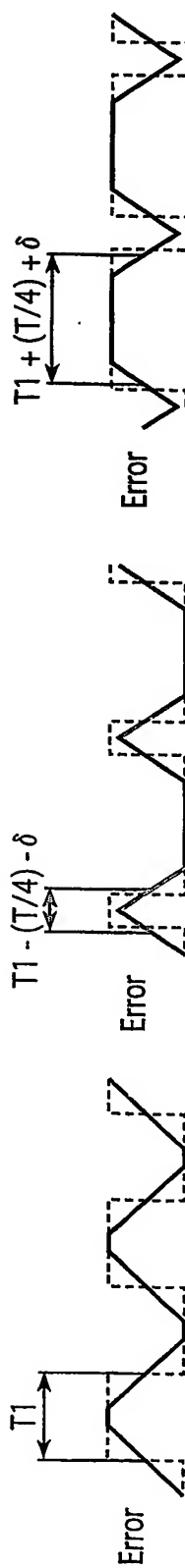
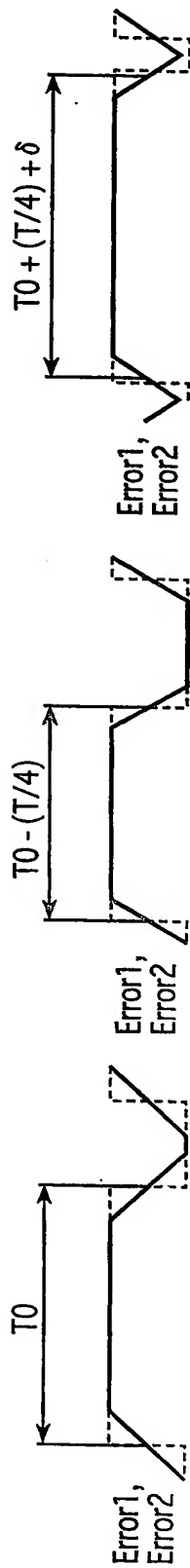


FIG.5C

FIG.5B

FIG.5A

6/9

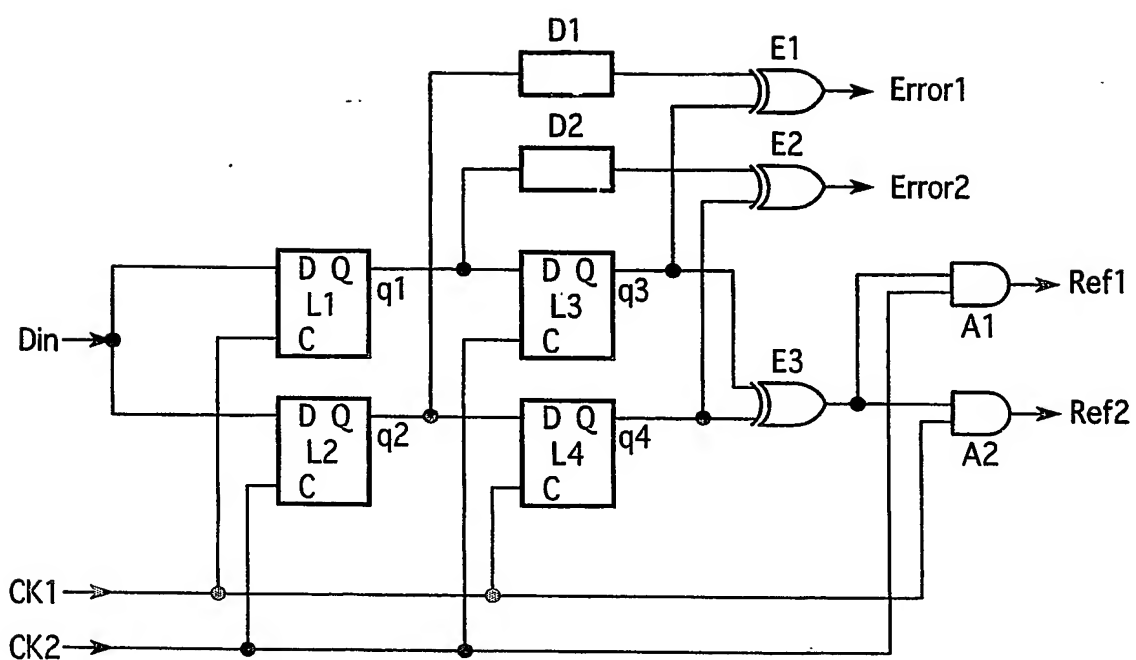


FIG. 6

7/9

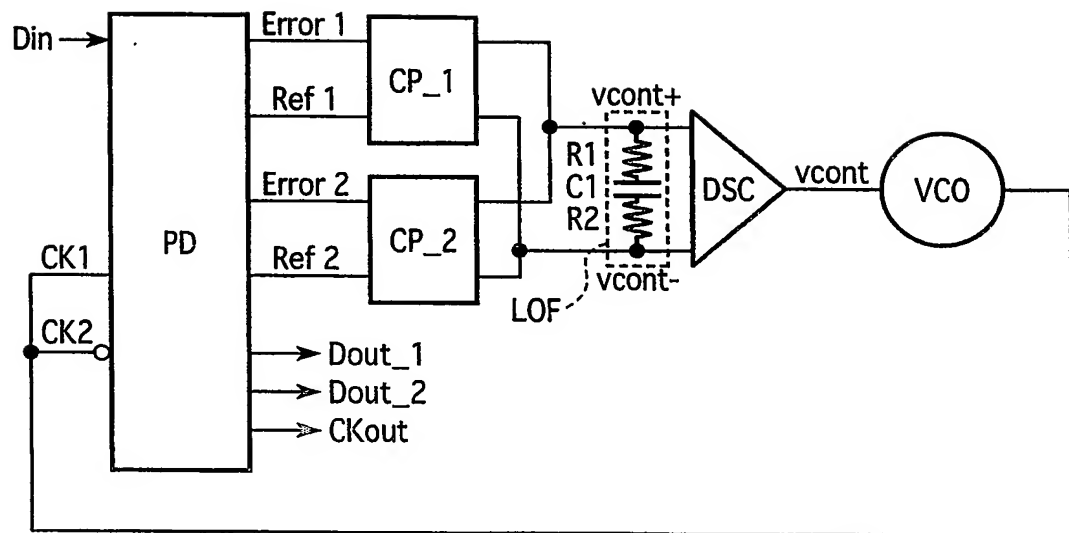


FIG.7

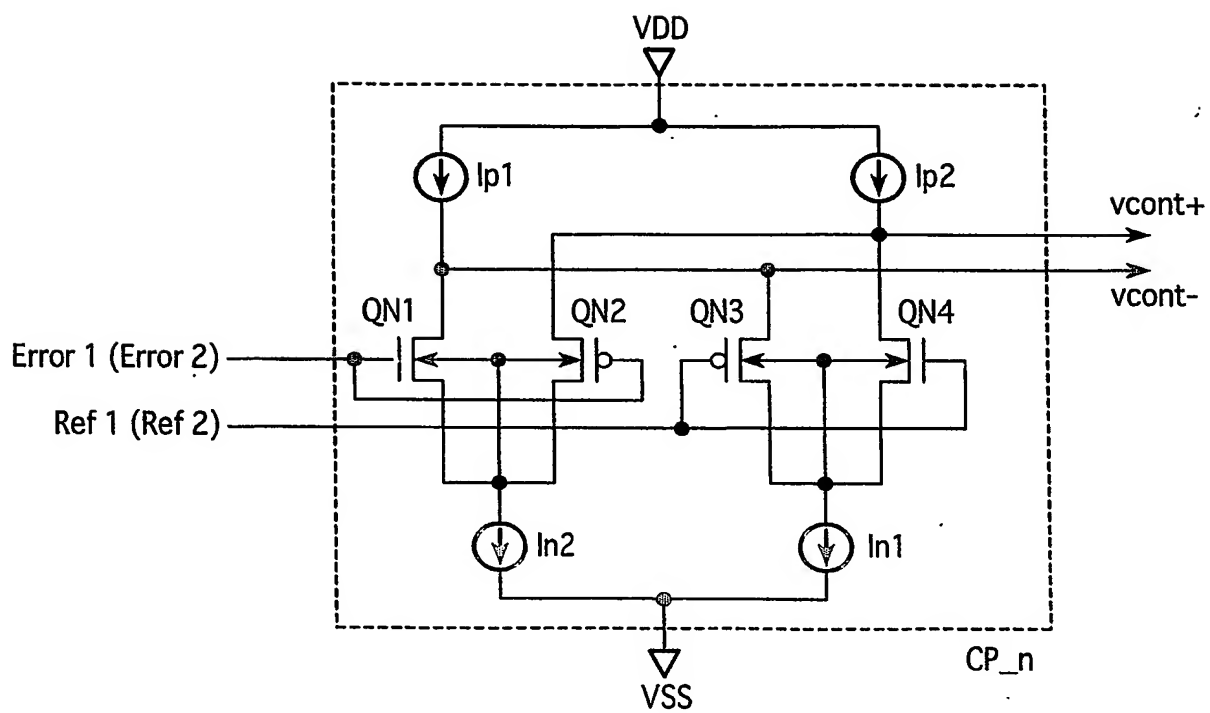


FIG.8

9/9

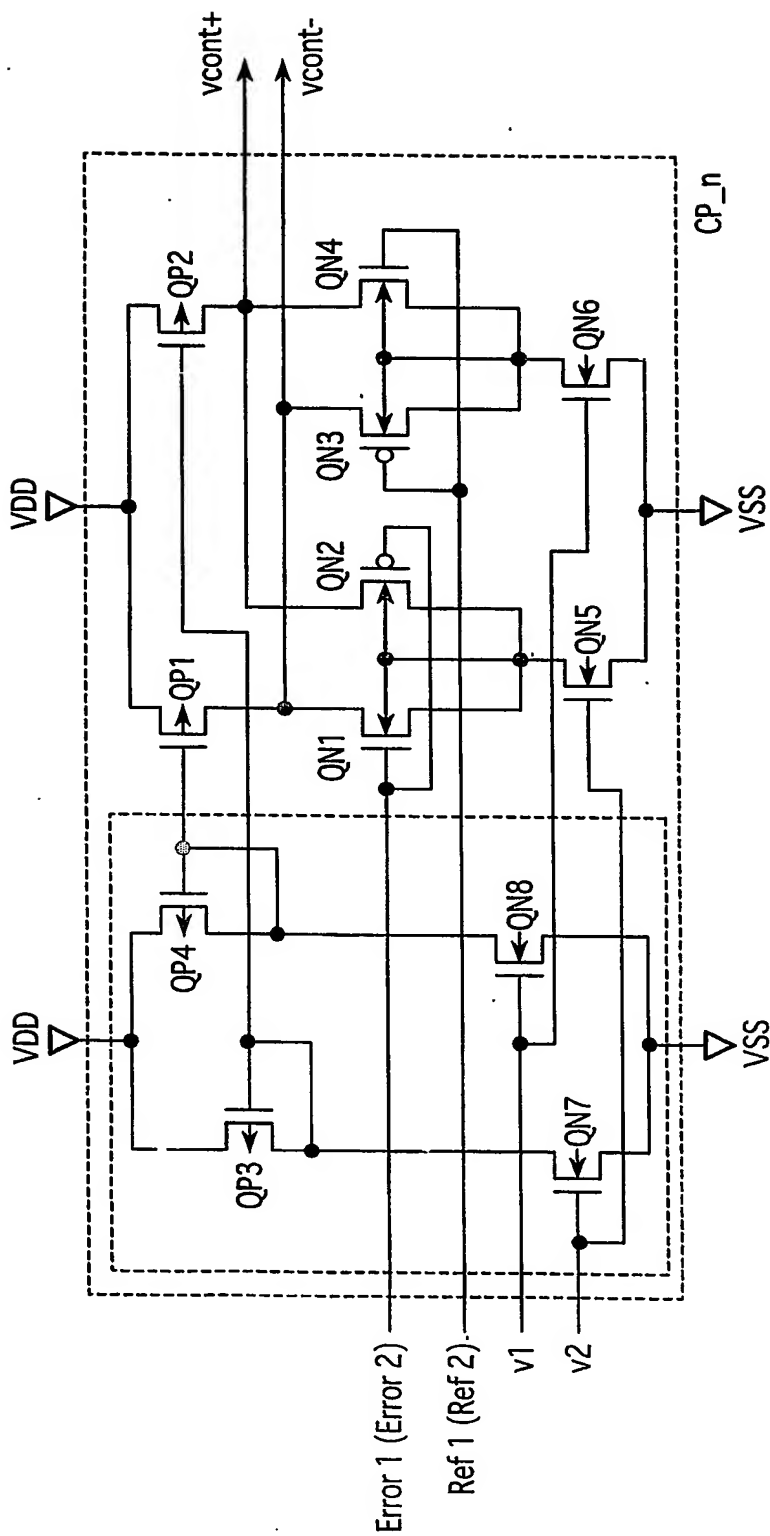


FIG. 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002714

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K5/26, H04L7/033, H03L7/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K5/26, H04L7/033, H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-171160 A (NEC Engineering Kabushiki Kaisha), 14 June, 2002 (14.06.02), Fig. 1 (Family: none)	1-8
A	JP 2001-144592 A (Fujitsu Ltd.), 25 May, 2001 (25.05.01), Fig. 4 (Family: none)	1-8
A	JP 2000-077990 A (Victor Company Of Japan, Ltd.), 14 March, 2000 (14.03.00), Fig. 1 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2004 (03.06.04)

Date of mailing of the international search report
22 June, 2004 (22.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H03K5/26, H04L7/033, H03L7/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H03K5/26, H04L7/033, H03L7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-171160 A (日本電気エンジニアリング株式会社)、2002.06.14、図1 (ファミリー無し)	1~8
A	JP 2001-144592 A (富士通株式会社)、2001.05.25、図4 (ファミリー無し)	1~8
A	JP 2000-077990 A (日本ビクター株式会社)、2000.03.14、図1 (ファミリー無し)	1~8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03.06.2004

国際調査報告の発送日

22.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5X

8124

電話番号 03-3581-1101 内線 3596